

(11)Publication number : 2003-248452
(43)Date of publication of application : 05.09.2003

(72)Inventor : NAGAO MASAYOSHI

Figure 1 is a block diagram of the control system for the FED. It includes the following components and connections:

- データ検出回路** (Data Detection Circuit): Receives **映像信号** (Image Signal) and **同期信号** (Synchronization Signal).
- ドライバ回路** (Driver Circuit): Receives input from the **データ検出回路**.
- データドライバ** (Data Driver): Receives input from the **ドライバ回路**.
- メモリドライバ** (Memory Driver): Receives input from the **ドライバ回路**.
- FED** (Field Emission Display): Receives inputs from the **データドライバ** and the **メモリドライバ**.

2006/04/05

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-248452

(P2003-248452A)

(43)公開日 平成15年9月5日(2003.9.5)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/22		G 0 9 G 3/22	E 5 C 0 5 8
3/20	6 2 3	3/20	6 2 3 R 5 C 0 8 0
	6 3 1		6 3 1 V
	6 4 1		6 4 1 A
			6 4 1 D
審査請求 有 請求項の数 3 O L (全 7 頁) 最終頁に続く			

(21)出願番号 特願2002-47823(P2002-47823)

(22)出願日 平成14年2月25日(2002.2.25)

(71)出願人 301021533

独立行政法人産業技術総合研究所

東京都千代田区霞が関1-3-1

(72)発明者 長尾 昌善

茨城県つくば市東1-1-1 独立行政法

人産業技術総合研究所つくばセンター内

Fターム(参考) 5C058 AA03 BA01 BA05 BB13

5C080 BB05 CC03 DD05 EE29 FF12

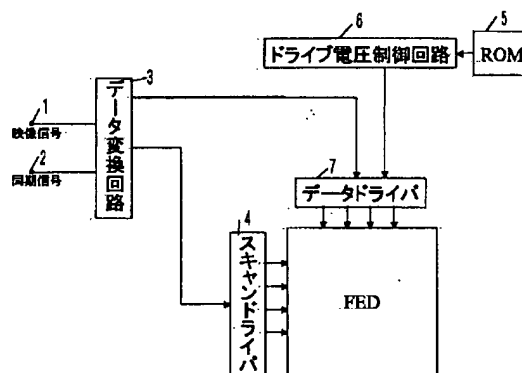
GG12 GG17 JJ02

(54)【発明の名称】 電界放出型ディスプレイの駆動方法及び装置

(57)【要約】

【課題】 各画素ごとの電流ばらつきに起因する輝度のばらつきを補正する

【解決手段】 データドライバ7はデータ変換回路3から出力される画像データとドライブ電圧制御回路6からの信号を入力として、FEDのカソード電極を制御する。ROM5には、あらかじめ画素の特性が書き込まれており、この特性は、一定輝度を与えたときの各画素の発光量などをあらかじめ測定しておくことで得る。ドライブ電圧制御回路6では、ROM5からの出力からそれぞれの電流特性を逆補正してデータドライバのドライブ電圧補正信号を出力する。



【特許請求の範囲】

【請求項 1】 電子を放出するエミッタとエミッタからの電子放出を制御するゲートを有し、かつ表示データに応じてデータドライバを介して駆動される電界放出素子を備えた電界放出型ディスプレイの駆動方法において、前記電界放出素子の各画素ごとの輝度特性をメモリ素子に予め記憶し、

前記電界放出素子を駆動するデータドライバの出力を、予め記憶された前記輝度特性に基づき各画素毎に補正することを特徴とする電界放出型ディスプレイの駆動方法。

【請求項 2】 電子を放出するエミッタとエミッタからの電子放出を制御するゲートを有しかつ表示データに応じてパルス幅変調によって輝度を表現するデータドライバを介して駆動される電界放出素子を備えた電界放出型ディスプレイの駆動装置において、前記電界放出素子の各画素ごとの輝度特性を記憶したメモリ素子と、前記メモリ素子からの出力を入力として各画素ごとに前記データドライバの電圧制御信号を出力するドライブ電圧制御回路とを備え、前記電界放出素子を駆動する前記データドライバの出力を、前記メモリ素子に記憶した輝度特性に基づき各画素毎に補正することを特徴とする電界放出型ディスプレイの駆動装置。

【請求項 3】 電子を放出するエミッタとエミッタからの電子放出を制御するゲートを有しかつ表示データに応じてパルス振幅変調によって輝度を表現するデータドライバを介して駆動される電界放出素子を備えた電界放出型ディスプレイの駆動装置において、前記電界放出素子の各画素ごとの輝度特性を記憶したメモリ素子と、前記メモリ素子からの出力を入力として各画素ごとに前記データドライバのパルス幅制御信号を出力するドライブパルス幅制御回路とを備え、前記電界放出素子を駆動する前記データドライバの出力を、前記メモリ素子に記憶した輝度特性に基づき各画素毎に補正することを特徴とする電界放出型ディスプレイの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界放出型ディスプレイの駆動方法及び装置に関するものである。

【0002】

【従来の技術】近年、フラットパネルディスプレイとして、微小エミッタを電子源として用いた電界放出型ディスプレイ（Field Emission Display：以下 FED と呼ぶ）が注目されている。FED は、ゲート電極により駆動される電界放出型エミッタを持つ複数画素が配列形成された表示基板と、この表示基板に対向配置されたアノード電極と蛍光体膜が形成された対向基板とから構成される。表示基板上の行方向の画素を共通駆動する複数本

のゲート配線と、列方向の画素の電界放出エミッタを共通駆動する複数本のカソード配線とは外部に取り出される。そして例えば、ゲート配線を順次駆動しながら、これに同期してカソード配線に 1 ラインずつの画像データを与えることにより、いわゆる線順次駆動の画像表示が行われる。

【0003】この種の FED において、フルカラー画像表示を行う場合には、R（赤）、G（緑）及び B（青）の 3 原色ドット 3 つ分を 1 画素として、R、G 及び B の各ドットの電界放出型エミッタに対向するアノード電極上にそれぞれ、R、G 及び B 用の蛍光体膜を形成して構成される。表示電極上のカソード配線としては、1 画素当たり R、G 及び B 用の 3 本ずつ配線される。

【0004】ゲート配線には例えば、順次正のゲート電圧パルス（例えば、+25V）を印加することにより、1 ラインずつの選択が行われ、これに同期して各カソード配線には画像データに応じて負のカソード電圧パルス（例えば、-25V）が印加される。ゲート配線に +25V が印加され、カソード配線に -25V が印加されたドットでは、ゲート・カソード間電圧が 50V となってエミッタ先端部において電子放出が生じ、この電子が正の高電圧が印加されたアノード電極側に加速されて蛍光体膜を叩くことにより発光する。FED の階調表示は、上述したエミッタ電圧パルスを PWM（パルス幅変調）パルスとして、そのパルス幅を制御することにより可能となる。

【0005】図 5 は面放出型の電界カソードを利用した平面型のカラー FED における駆動回路の構成図、図 6 はその動作タイミングを示した図である。図 5 において 50 は $m \times n$ の画素のマトリクスからなる FED、51 は印加された同期信号に同期したクロックを発生するクロックジェネレータ、52 はクロックジェネレータ 51 から発生されたクロックを用いて表示タイミングを制御する表示タイミング制御回路、53 は入力される画像データのビデオメモリ 54 への書き込みを制御するメモリ書き込み制御回路、54 は R、G、B の画像データを蓄積するフレームメモリあるいはラインメモリ 54-1、54-2、54-3 からなるビデオメモリ、55-1、55-2、55-3 はビデオメモリ 54 から読み出された R、G、B の画像データが保持されるバッファレジスタである。

【0006】さらに、56 はビデオメモリ 54 のアドレスを発生するアドレスカウンタ、57 は R、G、B の画像データのいずれかを選択する色選択回路、58 はゲート電極 3 を制御するデータがシフトされるシフトレジスタ、59 はシフトレジスタ 58 のデータをラッチするラッチ回路、60 は FED 50 のゲート電極をラッチ回路 59 のデータにより駆動するゲートドライバ、61 はバッファレジスタ 55-1 ~ 55-3 から供給される画像データがシフトクロックによりシフトされるシフトレジ

スタ、62はシフトレジスタ61のデータをラッチするラッチ回路、63はカソード電極にラッチ回路62の画像データ出力を供給するカソードドライバ、64は表示タイミング制御回路52の制御に基づいてFED50のアノード電極を駆動するアノードドライバである。

【0007】このような駆動回路では、入力される画像データはメモリ書き込み制御回路53により書き込みタイミングが制御されると共に、クロックジェネレータ51で発生されるクロックに同期してビデオメモリ54に各色の画像データ毎にメモリされる。そして、ビデオメモリ54のR、G、Bの各画像データが記憶されるメモリ54-1、54-2、54-3から、色選択回路57の制御のもとで、かつ、アドレスカウンタ56のアドレスに基づいて読み出された画像データは、それぞれバッファレジスタ55-1、55-2、55-3に保持される。

【0008】バッファレジスタ55-1、55-2、55-3はその出力タイミングが色選択回路57により制御されて、各画像データがシフトレジスタ回路61に供給される。このシフトレジスタ61は表示タイミング制御回路52からのシフトクロックS-CLKによりシフトされていく。1ラインの画素の内アノード引き出し電極A1に接続されたストライプ状のアノード電極の数に対応する1行の1/2の数の色データがシフトレジスタ61にシフトされると、この色データは表示タイミング制御回路52からのラッチパルスによりラッチ回路62にラッチされる。このラッチ回路62の出力データは、カソードドライバ63に印加される。

【0009】一方、表示制御タイミング回路52はアノードドライバ64を制御して図6(a)(b)に示すようにアノード引き出し電極A1にのみ正のアノード電圧を印加する。さらに、表示タイミング制御回路52はラッチパルスをシフトレジスタ58にシフトパルスとして供給し、この制御回路52から供給されるスキャン信号をシフトさせていく。このシフトレジスタ58の出力は、上記ラッチパルスによりラッチ回路59においてラッチされるため、ラッチ回路59からは、ラッチパルス毎にシフトされるスキャン信号が出力されるようになる。そして、このスキャン信号はゲートドライバ60に印加される。

【0010】この結果、ゲートドライバ60からは、図6(c)～(f)に示すように、FED50のゲート引き出し電極G1、G3、・・・G2n-1に順次ゲート駆動電圧が印加され、これらのゲート引き出し電極G1、G3、・・・G2n-1が走査される。この時、カソードドライバ63からは、駆動されるゲート引き出し電極G1、G3・・・G2n-1に対応するG、B、R、・・・の画像データが供給される。このような走査を順次行うことで、最後の行のゲート引き出し電極G2n-1まで走査されると、1フレームの1/2の画素が発光制御される。

【0011】次に、表示タイミング制御回路52はアノードドライバ64を制御してアノード引き出し電極A2に正のアノード電圧を印加するような制御を行うと共に、この期間では、図6(g)～(j)に示すようにゲート引き出し電極G2、G4・・・Gに順次ゲート駆動電圧が印加され、これらのゲート引き出し電極G2、G4・・・G2nが走査される。

【0012】従って、この場合は駆動されるゲート引き出し電極G2、G4・・・G2nに対応するG、B、R、・・・の画像データをカソードドライバ63から供給することで、1フレームの残りの画素の発光制御が行われ、最後の行のゲート引き出し電極G2nが走査された時点で1フレームの画像をFED50に表示される。

【0013】

【発明が解決しようとする課題】FEDでは一つの画素あたり1000個程度のエミッタを集積した冷陰極素子を用いるが、工程上の微細な環境変化などによりそれぞれの画素の特性が異なり、上記のような構成では画素間の電流ばらつきによる輝度むらが生じてしまい、ディスプレイとして画質が劣化するという問題を有していた。

【0014】従来、このような問題をFEDパネルそのものに工夫を施し電流特性のばらつきが生じないようにする方法が提案されてきたが、製造工程が複雑になるうえ、特性のばらつきができてしまったパネルは使用することができず無駄が多かった。本発明は上記問題に鑑み、各画素ごとの電流ばらつきに起因する輝度のばらつきを補正することができる電界放出型ディスプレイの駆動装置を提供することで、パネルの製造方法は従来と同じ方法が使用でき、特性にばらつきのあるパネルでも均一な輝度を表現することができるようにすることを目的とするものである。

【0015】

【課題を解決するための手段】上記課題を解決するために、本発明の電界放出型ディスプレイの駆動方法及び装置は、各画素の特性を記憶したメモリ素子と、画素の特性に応じたドライブパルスを発生することができるドライブ電圧制御回路を備えたものである。電界放出素子の各画素ごとの輝度特性をメモリ素子に予め記憶し、電界放出素子を駆動するデータドライバの出力を、予め記憶された前記輝度特性に基づき各画素毎に補正する。

【0016】

【発明の実施の形態】(実施の形態1)以下、本発明を、例示に基づき説明する。図1は、本発明の実施の形態1の電界放出型ディスプレイの駆動装置を例示する図であり、図2はその動作説明図である。図示の電界放出型ディスプレイは、パルス幅を変調(PWM変調)することによって輝度階調を表現する。図1において1は映像信号、2は同期信号、3は映像信号1と同期信号2を入力として映像信号をPWM変調してRGBの画像データを得るデータ変換回路である。データ変換回路3は、

従来技術として図5に例示したクロックジェネレータ51、表示タイミング制御回路52、メモリ書き込み制御回路53、フレームメモリ又はラインメモリ54、バッファ55、アドレスカウンタ56、色選択回路57をまとめたものに相当する。

【0017】図1に示した4は、データ変換回路3から出力されるスキャン信号を入力としてFEDのゲート電極を制御するスキャンドライバであり、従来図5のシフトレジスタ58、ラッチ59、ゲートドライバ60をまとめたものに相当する。5はFEDの各画素ごとの電流特性がメモリされたROM、6はROM5からの出力に基づき各画素の電流特性を逆補正してデータドライバ7のドライブ電圧補正信号を出力するドライブ電圧制御回路である。7はデータ変換回路3から出力される画像データとドライブ電圧制御回路6からの信号を入力として、FEDのカソード電極を制御して、パルス幅変調によって輝度を表現するデータドライバであり、これは、従来図5のシフトレジスタ61、ラッチ62、カソードドライバ63に相当するが、ドライブ電圧制御回路6からの信号を受け取ることができる点が異なっている。アノードドライバ(図示省略)は、従来図5のアノードドライバ64と同等のものが使用できる。以上のように構成された電界放出型ディスプレイの駆動装置について、図2を用いて動作を説明する。

【0018】図2(a)は、例として4×4のFEDにある全面同一輝度の信号を与えた場合の表示画面を示しており、S0からS3はそれぞれの行、D0からD3はそれぞれの列を示している。図2(b)はデータ変換回路3からの出力信号を示し、図2(c)はデータドライバ7からの出力信号を示している。図2(a)では、全面に同一輝度の入力を与えたにも関わらず、各画素のばらつきによりS1とD1が交差する画素(G11)と、S2とD3が交差する画素(G23)の輝度が低くなっている。また、このときの輝度レベルがG11>G23であることを示している。全面に同一輝度を与える場合を示しているため、データ変換回路3からの出力信号は図2(b)のように一定幅のパルスとなる。

【0019】ところで、このFEDにはあらかじめ画素の特性がROM5に書き込まれており、たとえばG11の電流特性としては0.8、G23の電流特性としては0.5、その他の画素には1.0などという値が書き込まれている。この特性は、一定輝度を与えたときの各画素の発光量などをあらかじめ測定しておくことで得る。

【0020】これらの輝度のばらつきを補正するために、データ変換回路3からの出力をROM5に書き込まれた情報をもとにさらにPWM変調し、D1の第2パルスのパルス幅を1.25倍に、D3の第3パルス幅を2倍になるように変調することができる。しかし、図示の場合、ドライブ電圧制御回路6では、ROM5からの出力からそれぞれの電流特性を逆補正してデータドライバ

のドライブ電圧補正信号を出力している。PWM変調信号の振幅を補正することにより、最大輝度を表現するような場合であっても、パルス幅が1フィールド期間を越えないようにして、正しく階調を表現できるようにすることが可能となる。データドライバ7はデータ変換回路3から出力されるPWM変調された画像データとドライブ電圧制御回路6から出力されるドライブ電圧補正信号を入力として図2(c)のようなパルスを出力する。図2(c)では、G11の画素が含まれるD1の列のS1行の信号がドライブ電圧補正信号により補正され、電圧振幅が他の画素よりaV上がるように制御される。同様にG23の画素についても同様にbV電圧振幅が上がるように制御される。このaやbという値は、あらかじめ各画素の電子放出特性を測定しておくことで決定する。なお、この場合はある画素の輝度が低い場合を説明したが、ある画素の輝度が基準より高い場合も考えられる。この場合にはドライブ電圧振幅を下げるように制御する。電界放出電流はゲート電圧に対して指数関数的に変化するので、これらのaやbという電圧の差分はわずかで済む。

【0021】このようにドライブ電圧を補正することで、FEDパネルでは電流量が少ないために輝度が下がっていたG11やG23の画素について電流量を増やすことができ、画像を同一輝度で表示することが可能となる。ここでは、モノクロディスプレイのような輝度信号のみについて説明したが、カラーディスプレイの場合はRGBの各色画素について同様の処理を施せばよい。

【0022】(実施の形態2)次に、本発明の実施の形態2について説明する。図3は、本発明の実施の形態2の電界放出型ディスプレイの駆動装置を例示する図であり、図4はその動作説明図である。実施の形態1においては階調を表現するのにPWM変調された映像信号についての説明を行ったが、実施の形態2は、パルス振幅変調(以後PAM変調と呼ぶ)で階調を表現した例である。

【0023】図3において1は映像信号、2は同期信号、3は映像信号1と同期信号2を入力として映像信号1をPAM変調してRGBの画像データを得るデータ変換回路、4はデータ変換回路3から出力されるスキャン信号を入力としてFEDのゲート電極を制御するスキャンドライバ、5はFEDの各画素ごとの電流特性がメモリされたROM、8はROM5の出力を入力としてFEDのカソード電極の電圧を制御するドライブパルス幅制御回路、7はデータ変換回路3から出力される画像データとドライブパルス幅制御回路8からの信号を入力として、FEDのカソード電極を制御して、パルス振幅変調によって輝度を表現するデータドライバである。以上のように構成された電界放出型ディスプレイの駆動装置について、図4を用いて動作を説明する。

【0024】図4(a)は、4×4のFEDにある全面

同一輝度の信号を与えた場合の表示画面を示しており、S0からS3はそれぞれの行、D0からD3はそれぞれの列を示している。図4(b)はデータ変換回路3からの出力信号を示し、図4(c)はデータドライバ7からの出力信号を示している。図4(a)では、全面に同一輝度の入力を与えたにも関わらず、各画素のばらつきによりS1とD1が交差する画素(G11)と、S2とD3が交差する画素(G23)の輝度が低くなっている。また、このときの輝度レベルがG11>G23であることを示している。全面同一輝度を与える場合を示している

ので、データ変換回路3からの出力信号は、図4(b)に示すように一定振幅のパルスとなる。
 【0025】ところで、このFEDにはあらかじめ画素の特性がROM5に書き込まれており、たとえばG11の電流特性としては0.8、G23の電流特性としては0.5、その他の画素には1.0などという値が書き込まれている。この特性は、一定輝度を与えたときの各画素の発光量などをあらかじめ測定しておくことで得る。次に、ROMからの出力からそれぞれの電流特性を逆補正して、データドライバ7の補正信号を出力する。このために、データ変換回路3からのPAM変調信号の振幅を逆補正することも可能であるが、図示の構成においてはROMからの出力に基づき、ドライブパルス幅制御回路8によって、データドライバ7のドライブ幅補正信号を出力している。データドライバ7はデータ変換回路3から出力されるPAM変調された画像データとドライブパルス幅制御回路8から出力されるドライブパルス幅補正信号を入力として図4(c)のようなパルスを出力する。図4(c)では、G11の画素が含まれるD1の列のS1行の信号がドライブパルス幅補正信号により補正され、パルス幅が他の画素より1.25(0.8の逆数)倍長くなるように制御される。同様にG23の画素についても同様に2(0.5の逆数)倍長くなるように制御される。なお、この場合はある画素の輝度が低い場*

*合を説明したが、ある画素の輝度が他の画素より高い場合も考えられる。この場合にはドライブパルス幅を短くするように制御する。

【0026】このようにドライブパルス幅を補正することで、FEDパネルでは電流量が少ないために輝度が下がっていたG11やG23の画素についてアノードに到達する電荷量を増やすことができ、画像を同一輝度で表示することが可能となる。

【0027】

10 【発明の効果】以上のように本発明によれば、工程上の微細な環境変化などによりそれぞれの画素の特性が異なる場合でも、データドライバのパルスを補正することにより各画素ごとの電流ばらつきに起因する輝度のばらつきを補正することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における電界放出型ディスプレイの駆動装置のブロック構成図

【図2】本発明の実施の形態1における動作説明図

20 【図3】本発明の実施の形態2における電界放出型ディスプレイの駆動装置のブロック構成図

【図4】本発明の実施の形態2における動作説明図

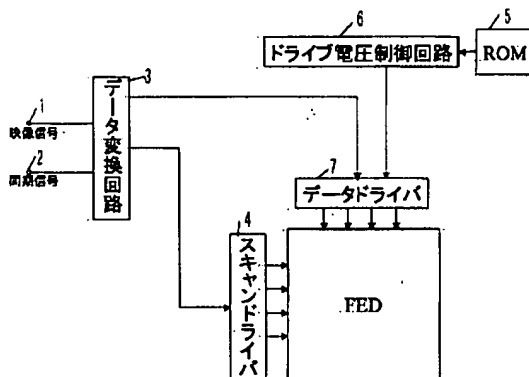
【図5】従来の電界放出型ディスプレイにおける駆動回路の構成図

【図6】従来の電界放出型ディスプレイにおける駆動回路の動作タイミング図

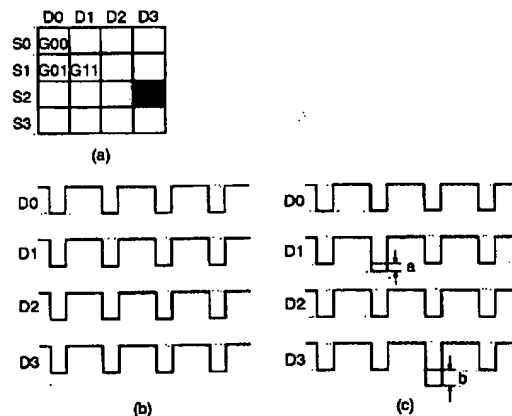
【符号の説明】

- 1 映像信号
- 2 同期信号
- 3 データ変換回路
- 4 スキャンドライバ
- 5 記憶素子
- 6 ドライブ電圧制御回路
- 7 データドライバ
- 8 ドライブパルス幅制御回路

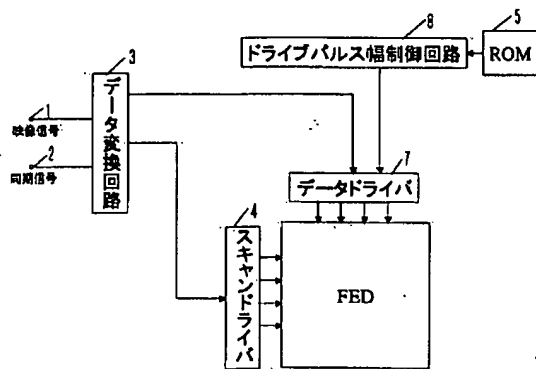
【図1】



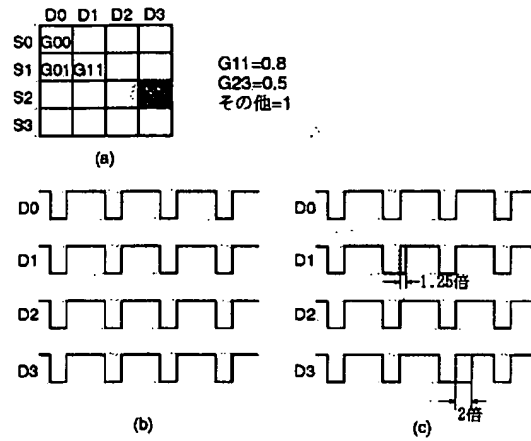
【図2】



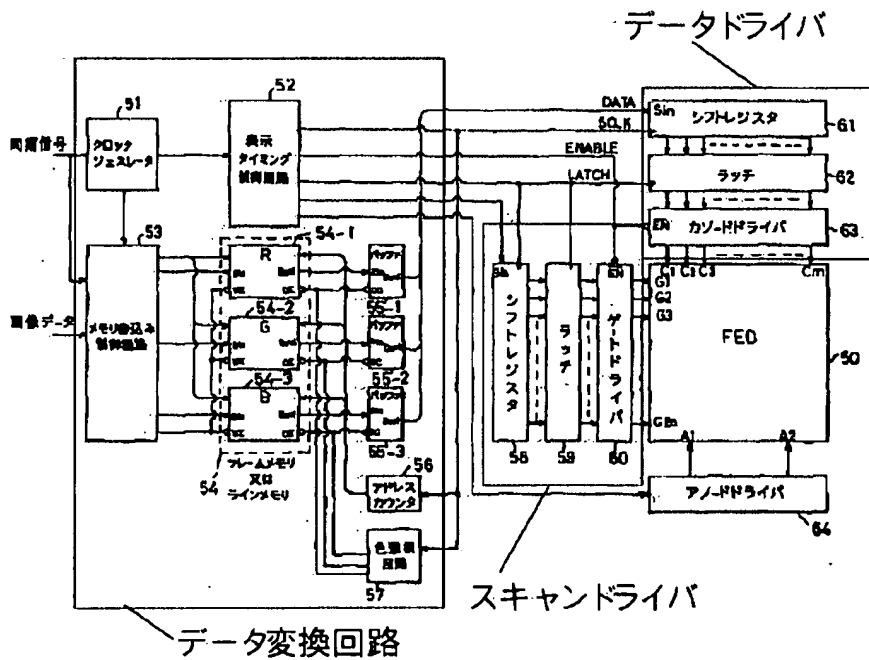
【圖3】



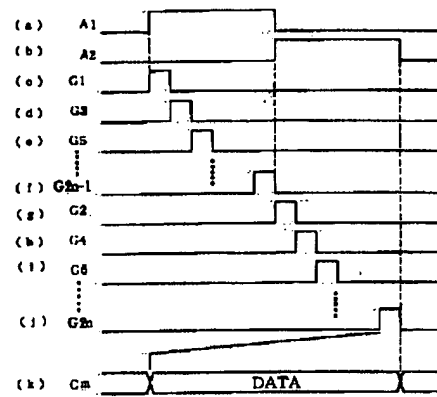
【圖4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁷

G09G 3/20

H04N 5/68

識別記号

642

F I

G09G 3/20

H04N 5/68

テーマコード (参考)

642 A

B